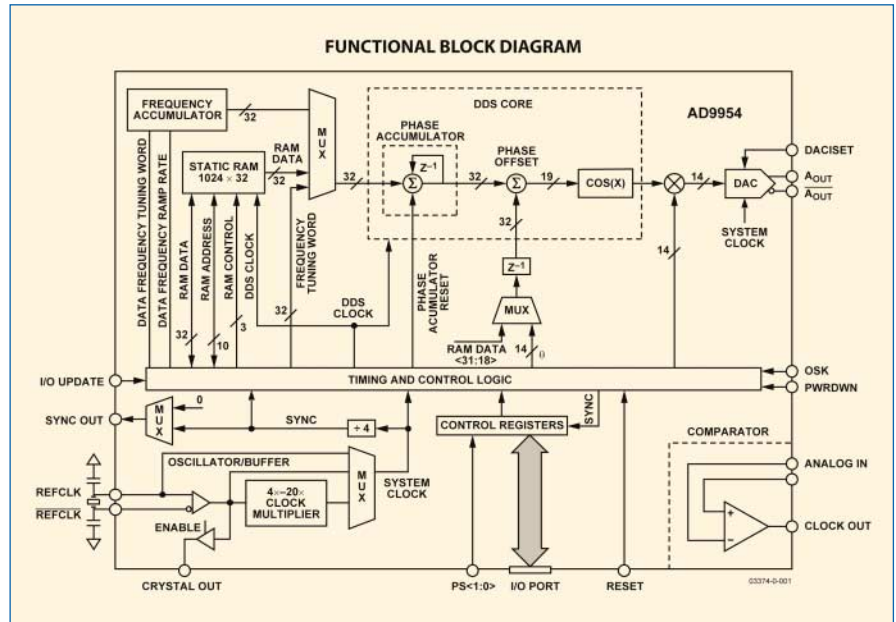




Moderne Frequenzsynthesizer: DDS und PLL

Siegfried W. Best,
Redaktion *elektronik industrie*

Die drahtlose Funktechnik ist ein Bereich, der derzeit die höchsten Wachstumsraten aufweist. Wegen mangelnder Frequenzen und wegen der Übertragungssicherheit kommt hier vermehrt das Frequenzsprungverfahren zur Anwendung. Dieses bedingt schnell umschaltbare Frequenzsynthesizer, die durch moderne PLL- und DDS-ICs möglich wurden und die Gegenstand der folgenden Betrachtungen sind.



Von der Analog-Skala zur PLL

Die ersten Kurzwellenempfänger waren mit Röhren bestückte Geradeaus- und später Überlagerungsempfänger und die Empfangsfrequenz konnte auf den Analog-Skalen in Verbindung mit einem Zeiger nicht sehr präzise eingestellt bzw. abgelesen werden. Später gab es verschiedene Verbesserungen bei der Frequenzeinstellung, z. B. die Filmskala bei Racal. Anfang der 60er Jahre machte Collins die erste ZF variabel und verwendete einen Quarz-gesteuerten Oszillator im Eingangsteil anstelle eines abstimmbaren Überlagerungsozillators mit einer festen ZF.

Das waren, wie auch das Barlow-Prinzip, erste Schritte in Richtung einer stark verbesserten Frequenzeinstellung. Der echte Durchbruch bei Frequenzerzeugung und -einstellung erfolgte mit der Phasenregelschleife (engl. Phase Lock Loop, PLL), die

Blockschaltbild des DDS-ICs AD9954 von AD. Es ist eine mit 14 Bit sehr hoch auflösende komplette DDS für Frequenzen bis 160 MHz. Die Samplingrate beträgt 400 Msa/s.

den Überlagerungsozillator im Superhet-Empfänger ersetzt. In einer PLL (Bild 1) wird das Ausgangssignal f_{out} eines spannungsgesteuerten Oszillators (VCO) in einer Phasenvergleichsschaltung K_ϕ mit der Referenzfrequenz eines hochstabilen Quarzoszillators f_{osc} verglichen. Sind beide Frequenzen gleich, bleibt die Regelspannung am Ausgang des dem Phasenvergleichers nachgeschalteten Schleifenfilters (Loopfilters) konstant. Bei Abweichungen der Phasenlage ändert sich die Regelspannung, die den VCO so nachregelt, dass die Phasenlage konstant ist. Durch Einfügen eines Frequenzteilers mit dem Faktor $1/N$ ist die VCO-Ausgangsfrequenz $f_{out} = F_{osc} \times 1/N$. Die Frequenzeinstellung erfolgt durch Umschalten des Teilerfaktors N .

Die PLL-Schaltung in Bild 2 enthält im Gegensatz zu Bild 1 zwei Frequenz-Untersetzer/Teiler ($1/N$ und $1/R$). Der erste untersetzt oder teilt die Frequenz des quartzgesteuerten Referenzoszillators f_{osc} durch den Faktor R , der zweite untersetzt oder teilt die vom VCO erzeugte Frequenz um den Faktor N . Die Ausgangsfrequenz des Synthesizers ist somit $f_{out} = f_{osc} \times (N/R)$. D. h. durch Veränderung der Untersetzungsfaktoren N und R kann man aus der quartzstabilen f_{osc} (fast) beliebige VCO-Frequenzen und damit Ausgangsfrequenzen ableiten. Die PLL-Schaltung in Bild 2 bezeichnet man auch als Integer-N-Synthesizer, da der Untersetzungsfaktor N eine ganze Zahl ist. Bei einem Fraktionalsynthesizer ist der Untersetzungsfaktor N eine gebrochene Zahl und die Größe F_{osc}/R wird allgemein f_{ref} genannt. Somit bildet der Synthesizer die Ausgangsfrequenz $f_{aus} = N \times f_{ref}$, d. h. das N -fache der Referenzfrequenz. Somit ist f_{ref} nichts anderes als der Kanalabstand, da ja der Integer-N-Synthesizer im Prinzip Ausgangsfrequenzen von $1 \times f_{ref}$, $2 \times f_{ref}$ usw. bilden kann. Ein Fraktionalsynthesizer kann auch Ausgangsfrequenzen wie $1,3 \times f_{ref}$ oder $2,76 \times f_{ref}$ usw. erzeugen. Dies bedeutet, dass bei gegebenem Kanalabstand die Re-

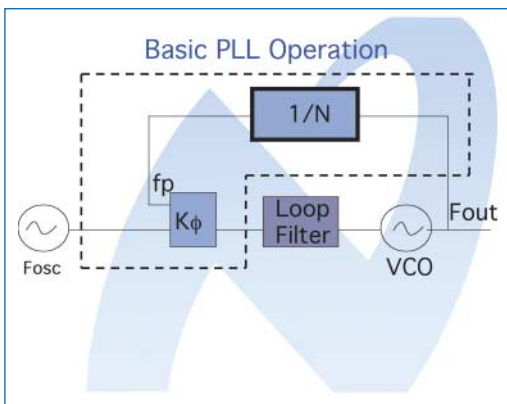


Bild 1: Prinzipschaltbild einer fundamentalen PLL.

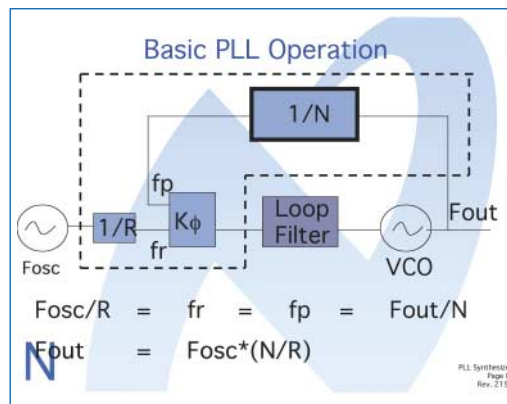


Bild 2: Prinzipschaltbild einer PLL in Form eines Integer-N-Synthesizers.



all-electronics.de
ENTWICKLUNG. FERTIGUNG. AUTOMATISIERUNG



Entdecken Sie weitere interessante Artikel und News zum Thema auf all-electronics.de!

Hier klicken & informieren!



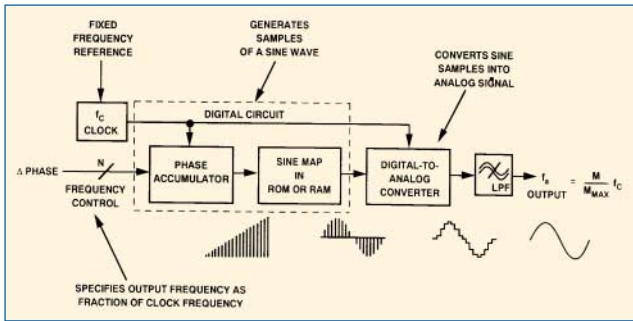


Bild 3: Prinzipschaltbild einer kompletten DDS.

ferenzfrequenz (welche die Geschwindigkeit des Synthesizers bestimmt) wesentlich größer als der Kanalabstand gewählt werden kann. Dadurch sind Fraktional-N-Synthesizer schneller als Integer-N-Synthesizer, was ihre Anwendung z. B. in Handys interessant macht. Bei anderen Formen von Fraktional-N-Synthesizern kommen noch weitere Blöcke dazu.

Statt des einfachen $1/N$ -Teilers kann man z. B. einen Dual-Modulus-Vorteiler verwenden, der entweder durch N oder $N+1$ teilt. Eine zusätzliche Logik schaltet dann zwischen den Teilerfaktoren N und $N+1$ hin und her und man erreicht so feinere Abstimm-schritte. Eine weitere Methode für einen Fraktionalen-N-Synthesizer ist z. B. das Puls-Removal mit dem sich auch beliebig gebrochene Teilungsverhältnisse und damit beliebige Abstimm-schritte/Kanalabstände einstellen lassen. PLL-ICs machen schließlich digital abstimbare Oszillatoren möglich, die heute selbst in den billigsten „Radios“ zu finden sind.

PLLs sind eine spektral saubere Lösung zur Frequenzerzeugung, Takterzeugung, Datenregeneration usw. Sie sind preiswert, arbeiten zuverlässig, sind schnell und gehen

sparsam mit Strom um. Aber die PLLs finden ihre Grenzen in der Größe der Abstimm-schritte und in der Abstimm-ge-schwindigkeit. Je kleiner der Abstimm-schritt ist, um so länger ist die Einschwingzeit. Auch das Phasen-rauschen ist immer noch eine Herausfor-derung, je höher die Ausgangsfrequenz, umso höher das Phasenrauschen.

DDS, total digital

Die PLLs haben in den letzten Jahren digitale Konkurrenz bekommen: Digitale Direkt Synthese kurz DDS. Bei DDS handelt es sich um die Technik zur digitalen Generierung und Manipulation von sinusförmigen Signalen oder anderen periodischen Signalen auf digitaler Ebene. **Bild 3** zeigt das Prinzip, bei dem Datenverarbeitungseinheiten wie Phasenakkumulator und Look-up-Tabellen verwendet werden, um eine abstimbare Frequenz aus einem präzisen Referenztakt abzuleiten. Der Takt wird in der DDS-Architektur durch einen Faktor geteilt, der durch ein programmierbares binäres Abstimmwort bestimmt wird. Das Abstimmwort ist typischerweise 24, 32 oder 48 Bit breit, damit ist eine feine Abstufung der Ausgangsfrequenz möglich. Der DDS-Synthesizer hat demnach zwei digitale Eingänge: Einen für das frequenzbestimmende Abstimmwort (Δ Phase in Bild 3) und einen für den Referenztakt (f_c). Der Ausgang des Synthesizers ist ein analoger Sinus mit der Frequenz f_a .

Die Beziehung zwischen f_c und f_a ist wie folgt:

$$f_a = \frac{\Delta \text{ Phase}}{2^N} \times f_c$$

mit N = Auflösung des frequenzbestimmen-den Abstimmwortes.

Die digitale Amplitudeninformation, die einem kompletten Sinusverlauf (oder manchmal einem Halb- oder Viertelsinus) entspricht, ist in dem Speicher (ROM oder RAM) abgelegt, der als Look-up-Tabelle fungieren. Sie enthält die zu den Eingangswerten zugehörigen Spannungswerte der Sinuskurve. Der Phasenakkumulator ist ein einfacher schneller Addierer (24, 32 oder 48 Bit breit), zu dem bei jedem Takt der Inhalt eines Inkrement-Registers addiert wird. Das Ausgangssignal des Addierers ist eine digitale Rampe mit einer Frequenz, die der Ausgangssinusfrequenz des Synthesizers entspricht. Dieses Rampensignal steuert den Speicher an, der seinerseits die dem Sinus zugehörigen Spannungswerte als z. B. 10-Bit-Wort zum DA-Wandler gibt. Der Ausgang des Speichers ist hierzu mit einem schnellen DA-Wandler verbunden, der bei jedem Durchlauf der Werte im Akkumulator eine komplette Sinuswelle an den nachgeschalteten Tiefpassfilter abgibt. Je höher das Inkrement ist, desto schneller durchläuft der Akkumulator seinen Wertebereich. Im Falle eines 32-Bit-Akkumulators ist das $2^{32} = 4,295 \times 10^9$. Die abgegebene Frequenz hängt völlig linear von der Größe des Inkrements und der Taktfrequenz ab. Hat der Referenzoszillator z. B. eine Frequenz von 42,95 MHz, so dauert es bei einem Inkrement von 1 exakt 100 s bis der Akkumulator einmal seinen Zahlenbereich durchläuft. Die abgegebene Frequenz beträgt also 0,01 Hz. Um eine bestimmte Ausgangsfrequenz in Hz zu bekommen, speichert man ihren 100-fachen Wert als Inkrement ein. Dabei beträgt der kleinste Frequenzschritt 0,01 Hz. Bei einer so aufgebauten DDS hängt die Genauigkeit und Frequenzstabilität nur vom Referenztakt ab. Dieser ist meist wesentlich höher als die Ausgangsfrequenz, was wiederum einem Oversampling mit entsprechendem Gewinn an Auflösung entspricht. Viele DDS-Synthesizer verfügen zusätzlich über ein Register, dessen Inhalt zum Ausgang des Addierers addiert wird und ein Register für die Signalamplitude. Damit kann auf einfache Weise phasen- und amplitudenmoduliert werden, wie es z. B. in modernen Modems der Fall ist. DDS ist die bevorzugte Technologie für Anwendungen, die besonders viele schnelle Frequenz-Wechsel erfordern (früher nur möglich durch mehrere PLLs, die schnell umgeschaltet werden mussten) und eine Regelung der Ausgangs-Phase sowie ein exzellentes Phasenrauschen benötigen. Mögliche Applikationen sind agile HF-Übertragungsver-

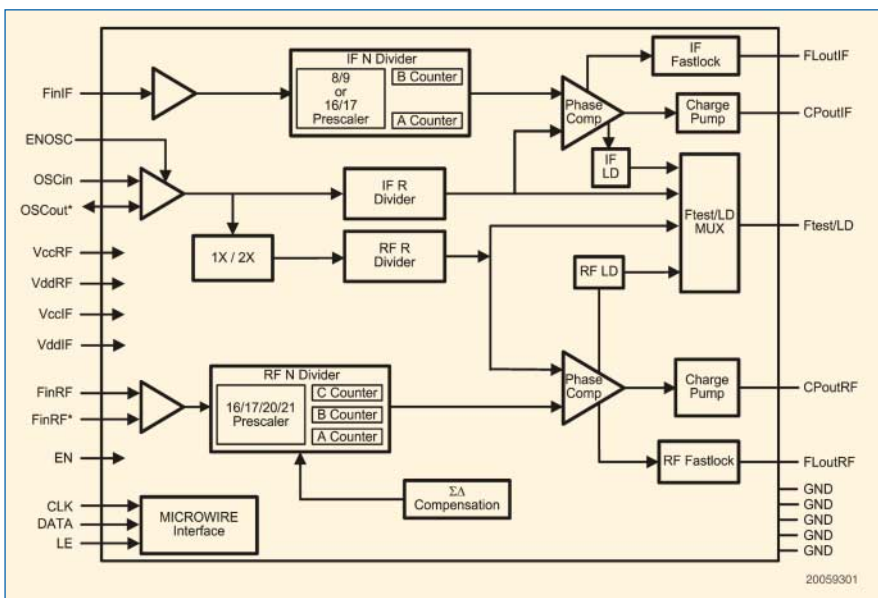


Bild 4: Blockschaltbild der Delta-Sigma Fractional-N PLL LMX2470 von NS. Durch das Delta-Sigma-Modulationsverfahren werden innerhalb des Nutzfrequenzbereichs liegende Rauschsignale und Störfrequenzen vermieden.



fahren wie Spread-Spectrum, präzise QAM- und GSK-Modulatoren, programmierbare Taktgeneratoren, FM-Chirp-Quellen für Radar und Scanner, Kfz-Radargeräte, Messgeräte und akustisch-optische Treiber.

Aktueller PLL-Synthesizer

Als erster Delta-Sigma-PLL-Baustein der Industrie ermöglicht es der LMX2470 von NS dem Entwickler, die Ordnung des Modulators softwaremäßig zu selektieren. Er wird an dieser Stelle als Beispiel für einen High-end PLL-IC beschrieben und ist zudem der einzige Delta-Sigma-PLL-Baustein mit echter so genannter „Cycle-Slip“-Reduktion, Fast-lock (Vergrößerung der Schleifenfilterbandbreite durch kurzzeitiges Zuschalten eines Kondensators) und integrierten Timeout-Zählern (der bestimmt, wie lange der Kondensator zugeschaltet wird). Beide Funktionen sorgen für kurze Einrastzeiten. Der IC (**Bild 4**) ist auf Grund seiner 32 Strom- (Ladungspumpen-) Abstufungen und der 4-stufigen Vergleichsfrequenz-Reduktion sehr flexibel einsetzbar. Er kommt an einer Versorgungsspannung von 2,5 V mit insgesamt nur 4,1 mA aus. Der LMX2470 besitzt einen bis zu 22 Bit selektierbaren Modulus, was die Anwendung sehr hoher Vergleichsfrequenzen zulässt und durch das ausgezeichnete normierte Phasenrauschen von -210 dBc/Hz für eine hohe Systemempfindlichkeit sorgt. Der eingebaute Frequenzverdoppler kann zum Verdoppeln der Quarzfrequenz verwendet werden, damit höhere Vergleichsfrequenzen bis 110 MHz möglich sind, was in einem normierten Phasenrauschen von -213 dBc/Hz resultiert. Mit seinen geringen ungeradzahigen Störlinien von <-90 dBc weist der LMX2470 in der Industrie das geringste Aufkommen an diesen so genannten „Fractional spurs“ auf. Dies wiederum sorgt durch ein Minimum an Cross-Channel-Modulation für erhöhte Sprach- und Daten-Genauigkeit. Durch das Delta-Sigma-Modulationsverfahren des LMX2470 werden innerhalb des Nutzfrequenzbereichs liegende Rauschsignale und Störlinien aus dem Übertragungsbereich des Schleifenfilters hinaus verlagert. Je höher die Ordnung des Modulators, umso mehr Rauschen und Störlinien können in höhere Frequenzbereiche verlagert und vom Schleifenfilter ausgefiltert werden. Der LMX2470 ist der industrieweit einzige Delta-Sigma-PLL, der dem Anwender die Programmierung des Modulators bis zur vierten Ordnung gestattet. Hierdurch erhält der Designer maximale Flexibilität zum Optimieren des Rauschens, der Störlinien und der Einrastzeit des Lokaloszillators. Das erste Produkt der neuen Familie von leistungsfähigen Delta-Sigma-PLLs ist ausgelegt für maximale HF-Eingangsfrequenzen von 2,6 GHz und Zwischenfrequenzen bis 800 MHz.

quenzbereichs liegende Rauschsignale und Störlinien aus dem Übertragungsbereich des Schleifenfilters hinaus verlagert. Je höher die Ordnung des Modulators, umso mehr Rauschen und Störlinien können in höhere Frequenzbereiche verlagert und vom Schleifenfilter ausgefiltert werden. Der LMX2470 ist der industrieweit einzige Delta-Sigma-PLL, der dem Anwender die Programmierung des Modulators bis zur vierten Ordnung gestattet. Hierdurch erhält der Designer maximale Flexibilität zum Optimieren des Rauschens, der Störlinien und der Einrastzeit des Lokaloszillators. Das erste Produkt der neuen Familie von leistungsfähigen Delta-Sigma-PLLs ist ausgelegt für maximale HF-Eingangsfrequenzen von 2,6 GHz und Zwischenfrequenzen bis 800 MHz.

Aktueller DDS-Synthesizer

Analog Devices ist ebenfalls ein führender Anbieter von PLL-ICs und von DDS-ICs. Bei den neuen DDS-Bausteinen von AD, die an dieser Stelle beispielhaft für eine moderne Komplett-DDS stehen, handelt es sich um die branchenweit ersten ICs dieser Art, die mit 400 MSample/s arbeiten und Frequenzen bis zu 160 MHz erzeugen, während sie gleichzeitig weniger als 200 mW verbrauchen (siehe **Aufmacherbild**). Vorgängerversionen von DDS-Chips vergleichbarer Auflösung konnten nur Frequenzen von bis zu 120 MHz synthetisieren und verbrauchten eine Leistung von 2 W. Die neue DDS-Familie besteht aus vier neuen 14-Bit-Bausteinen mit verschiedenen zusätzlichen Vorteilen. Die Kombination der individuellen Eigenschaften des jeweiligen Chips wurden so gewählt, dass Entwickler nur die für die jeweilige Anwendung benötigte Funktionalität kaufen können. Es handelt sich hierbei um die folgenden vier Familienmitglieder mit den folgenden Zusatzfunktionen: AD9951 (Basis-DDS mit integriertem 14-Bit-D/A-Wandler), AD9952 (mit schnellem

Komparator), AD9953 (mit RAM für nicht-lineares Phasen/Frequenz-Wobbeln) und AD9954.

Als Flaggschiff der neuen DDS-Familie enthält der AD9954 einen D/A-Wandler mit 14-Bit-Auflösung, der mit bis zu 400 MSa/s arbeitet, einen schnellen Komparator und RAM. Er ist in der Lage, ein Frequenz-agiles analoges Sinus-Ausgangssignal von bis zu 160 MHz zu erzeugen. Er wurde entwickelt, um schnelle Frequenzsprünge sowie eine schnelle Feinabstimmung hoher Auflösung (Frequenz-Abstimm-Wortlänge: 32 Bit) zu ermöglichen. Die Worte zur Frequenzabstimmung und zur Steuerung werden über einen seriellen I/O-Port geladen. Der AD9954 enthält ein statisches RAM der Organisation 1024 x 32, um in mehreren Modi flexibles lineares und nichtlineares Frequenz-Wobbeln zu ermöglichen.

Zusammenfassung

In vielen Applikationen bei Frequenzen bis 1 GHz hat die DDS gegenüber der agilen analogen Frequenzsynthese mit PLL-Schaltkreisen einige Vorteile. Diese sind die extrem schnelle Sprunggeschwindigkeit, die Möglichkeit der Abstimmung in µHz-Schritten und der Phasenabstimmung in Sub-Winkelgraden – und das alles unter digitaler Steuerung. Die DDS eliminiert die Notwendigkeit für ein manuelles Abstimmssystem und hat nicht die Probleme der analogen PLL in Verbindung mit Bauteilalterung oder Temperaturdrift. Heutige DDS-ICs, wie der vorgestellte AD9954, werden schnell eine Alternative zu den Frequenz-agilen analogen Synthesizern. Die Integration eines Präzisionstaktgebers, eines Phasenakkumulators (der einen N-bit Modulus-Zähler und ein Phasenregister enthält), eines PROMs und eines DA-Wandlers in einem Chip, der dann als Komplett-DDS bezeichnet wird, ermöglicht dieser Technologie ein breites Anwendungsfeld. Sie bietet in vielen Fällen eine attraktive Alternative zur analogen PLL. Dies besonders in neuzeitlichen Datenübertragungssystemen, in denen sie als Quadratur-Synthesizer zum Einsatz kommen. Hier sind DDS-Schaltungen am besten geeignet zur Erzeugung der I- und Q-Ausgangssignale. Um auf die eingangs genannten Kurzwellenempfänger zurückzukommen. Sind diese mit einer DDS ausgestattet, unterscheiden sie sich von solchen Empfängern mit PLL durch ein wesentlich geringeres Eigenrauschen, welches nicht nur messtechnisch erfassbar ist.

Auf einen Blick: DDS und PLL

	DDS	PLL
Frequenz-Auflösung	mHz / µHz	> 1kHz
Umschaltzeit	<5 ns bis einige 10 ns	20 µs bis > 1ms typisch
Abstimmbereich	mHz ... MHz	kHz ... GHz (je nach VCO)
Phasenrauschen	minimal, Quantisierungsrauschen, von Taktfrequenz abhängig	unvermeidbar, größer als bei DDS
Leistungsaufnahme	z. B. 20 mW (2,5 V, 20-MHz-f _{out}) oder 200 mW (1,8 V, 160-MHz-f _{out} , 400-MHz-Ref.)	z. B. 10 mW (2,5 V, 800-MHz-f _{out} , 110-MHz-Ref.)
Kosten	4 US \$ bis 14 US \$ *	1 bis 2 US \$ **

* bei großen Stückzahlen heute preislich wettbewerbsfähig mit anspruchsvollen PLL-Lösungen
 ** zuzüglich Teiler, Controller und Glue Logic

Analog Devices **527**

National Semiconductor **528**